

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-175439

(43)Date of publication of application : 14.07.1995

(51)Int.Cl.

G09G 3/28

(21)Application number : 05-344394

(71)Applicant : FUJITSU GENERAL LTD

(22)Date of filing : 17.12.1993

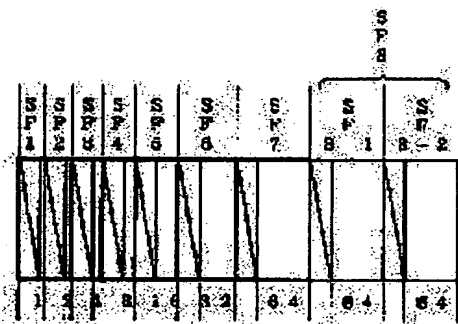
(72)Inventor : DENDA ISATO  
NAKAJIMA MASAMICHI  
ONODERA JUNICHI

## (54) DRIVING METHOD FOR DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To provide a driving method which does not generate pseudo contours by dividing an arbitrary sub-field to several sub-fields and rearranging the luminance sequence of the sub-fields between one frame so as to avert making a non-display period long.

**CONSTITUTION:** The arbitrary sub-field among the plural sub-fields of a display device constituted to project video signals of multiple gradations by constituting one field of the plural sub-fields varying in the relative ratios of the luminance is divided to  $\geq 2$  and these sub-fields are driven by rearranging scanning sequence. Image levels are changed from 127 to 128 levels. For example, SF8 is divided to two (SF8-1, 8-2) and the luminance sequence is rearranged like SF1, 3, 5, 8-2, 7, 8-1, 6, 4, 2, by which the 127 of the first frame is quantized by 111010111 and the 128 of the second frame is quantized by 000101000. Then, the images are displayed while the display period and the non-display period are alternated 9 times at approximately equal intervals in a short period of time. The non-display period is thus made sufficiently shorter than one frame and the pseudo contours are made nearly inconspicuous.



## LEGAL STATUS

[Date of request for examination]

26.06.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2903984

[Date of registration]

26.03.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The drive approach of the display unit characterized by dividing the subfield of the arbitration of said two or more subfields or more into two, and rearranging scan sequence in the display unit which constitutes one frame from two or more subfields where phase contrast of brightness differs, and projected the multi-tone video signal, and making it drive.

[Claim 2] The drive approach of the display unit according to claim 1 characterized by changing at random per frame and making it drive the scan sequence of a subfield with an external sub-address setting signal.

[Claim 3] In the display unit which constitutes one frame from the 1st subfield (SF1) thru/or the 8th subfield (SF8) where phase contrast of brightness differs, and projected the multi-tone video signal It divides into two (SF 8-1, 8-2) about the 8th longest subfield (SF8) of the Sas Tin period among said two or more subfields. and scan sequence -- SF 1, 3, and 5 and 8- the drive approach of the display unit characterized by rearranging into 2, 7, 8-1, and 6, 4 and 2, and making it drive.

[Claim 4] In the display unit which constitutes one frame from the 1st subfield (SF1) thru/or the 8th subfield (SF8) where phase contrast of brightness differs, and projected the multi-tone video signal It divides into four (SF 8-1, 8-2, 8-3, 8-4) about the 8th longest subfield (SF8) of the Sas Tin period among said two or more subfields. It divides into two (SF 7-1, 7-2) about the 7th subfield (SF7) long to the 2nd. and scan sequence -- SF 1 and 3 and 8- 3, 5, 7-1, and 8- 1, 6, 8-2, and 7- 2, 4, and 8- the drive approach of the display unit characterized by rearranging into 4 and 2 and making it drive.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the drive approach of the display unit of a digital input signal of constituting one frame from two or more subfields where phase contrast of brightness differs, and having projected the multi-tone video signal.

[0002]

[Description of the Prior Art] Recently, PDP (plasma display panel) attracts attention as a thin shape and a lightweight indicating equipment. It is a direct-drive method by the image input signal by which the conventional CRT drive methods completely differ and this drive method of PDP was digitized. Therefore, the brightness gradation which emits light from a panel side becomes settled with the number of bits of the signal to treat. Although PDP is divided into two methods of AC mold and DC mold with which fundamental properties differ, in the DC mold PDP, it has a report of the improvement technique about the brightness and life which had already been made into the technical problem, and is progressing towards utilization.

[0003] On the other hand, although brightness and property sufficient about a life were acquired in the AC mold PDP, about a gradation display, there was only a report to an a maximum of 64 gradation display on prototype level. Recently, the technique of 256 future gradation by the address and the display discrete-type driving method (the ADS subfield method) is proposed. This address and display discrete-type driving method are the approaches of turning on the rate time amount of the weight of each bit for n-bit input data by fixed brightness within one frame. The panel structure of PDP (plasma display panel) 10 used for this approach is shown in drawing 5, and a drive sequence and a drive wave are shown in drawing 6 (a) and (b).

[0004] In drawing 5, X Sas Tin electrode 12 and Y Sas Tin electrode 13 which become a pair are formed in the inferior surface of tongue of the surface glass substrate 11 by the side of the screen with a transparent electrode and an auxiliary electrode. An auxiliary electrode forms the bus electrode 23 in some transparent electrodes in order to prevent the voltage drop by resistance of a transparent electrode. A dielectric layer 14 is formed on these X Sas Tin electrode 12 and Y Sas Tin electrode 13, and in order to separate association between each cel on it, the SUTORAIBU-like rib 18 is formed. Furthermore, the protective layer 15 which consists of MgO film is vapor-deposited. The address electrode 17 is formed on the rear-face glass substrate 16 which counters. As the SUTORAIBU-like rib 18 on a stripe is formed between the address electrodes 17 and the address electrode 17 is covered further, the R (red) fluophor 19, the G (green) fluophor 20, and the B (blue) fluophor 21 are \*\*\*\*\* (ed). Ne+Xe mixed gas is enclosed with discharge space 22.

[0005] In drawing 6 (a), phase contrast of brightness consists of eight subfields of 1, 2, 4, 8, 16, 32, and 64, 128, and one frame displays 256 gradation in the combination of the brightness of eight screens. In drawing 6 (b), each subfield consists of Sas Tin periods which determine the intensity level of the address period which writes in the data for one refreshed screen, and its subfield. In an address period, wall charge is formed in each pixel in first stage at first at full-screen coincidence, and a SASUTIN

pulse displays by being given to a full screen after that. The brightness of a subfield is proportional to the number of SASUTIN pulses, and is set as predetermined brightness. Thus, 256 gradation displays are realized.

[0006] By the above AC drive methods, since the number of bits of the address period as a preparation period which carries out lighting luminescence of the panel within an one-frame period increases the more the more it increases the number of gradation, the Sas Tin period as a luminescence period becomes short relatively, and the maximum brightness falls. Thus, although luminescence brightness will increase if the number of bits of the signal which luminescence brightness falls and is treated conversely is reduced, although image quality will improve if the number of bits of the signal to treat is increased since the brightness gradation which emits light from a panel side becomes settled with the number of bits of the signal to treat, a gradation display decreases and deterioration of image quality is caused.

[0007] Reducing the number of bits of a backward acting signal rather than the number of bits of an input signal, the error diffusion process for making the shade error of an input signal and luminescence brightness into min is processing expressing false halftone, and when carrying out a shade expression with little gradation, it is used. That is, in the conventional general error diffusion-process circuit, the video signal of the original pixels  $A_i$  and  $j$  of  $n$  (for example, 8) bit inputs into a video-signal input terminal, processing which reduces the number of bits in  $m$  (for example, 4) bit by the bit conversion circuit further is carried out through a perpendicular direction adder circuit and a horizontal adder circuit, and light is emitted in PDP through a PDP drive circuit.

[0008] Moreover, the error diffusion signal from said horizontal adder circuit is compared in the data and the error detector which were memorized beforehand, takes the difference, applies a predetermined multiplier in an error load circuit, and carries out weighting. While being added to said perpendicular direction adder circuit through the  $h$  line delay circuit which outputs reappearance error  $E_{j-1}$  which produced the pixel [ the pixel in front of  $h$  lines ], for example, one line, error detection output in the past from the original pixels  $A_i$  and  $j$  The pixel of  $d$ -dot ago, for example, 1 dot, is added to said horizontal adder circuit through the  $d$  dot delay circuit which outputs reappearance error  $E_{i-1}$  produced in the past from the original pixels  $A_i$  and  $j$ . In addition, the multiplier in said error load circuit is set up so that all the sums may generally be set to 1.

[0009] Consequently, since the luminescence intensity level of the stair-like upper and lower sides is outputted by turns at a predetermined rate in practice in spite of outputting the luminescence intensity level expressed with 4 bits which is momentarily stair-like to the output terminal of a bit conversion circuit, it is recognized in the condition of having been equalized and becomes the amendment brightness line of abbreviation  $y=x$ .

[0010]

[Problem(s) to be Solved by the Invention] However, it was dark in the left-hand side of an image, and when an image bright in right-hand side moved to the left gently, in some screens, the first frame shall be the level of 127 and, as for image level, the following frame should change to the level of 128, for example. As the scan of a subframe is shown in drawing 4, supposing he is trying to scan from SF1 to SF8 in order of brightness and 8 bits is used as a picture signal, the level of 127 will be quantized by 11111110 and the level of 128 will be quantized by 00000001. Therefore, if it applies to 127-128, a non-display period and SF8 serve as [ a display period, SF8, and SF1-SF7 / SF1-SF7 ] a display period, and an image is displayed. When such a dynamic image was displayed, since [ which a non-display period calls the same period as one frame ] it became comparatively long, this non-display period became a black line, it appeared in the image, and there was a problem that this served as false coutour and appeared.

[0011] This invention aims at obtaining what false coutour does not generate, as the subfield of arbitration is divided into some, and the brightness sequence of a 1 inter-frame subfield is rearranged and a non-display period does not become long.

[0012]

[Means for Solving the Problem] This invention is the drive approach of the display unit characterized

by dividing the subfield of the arbitration of said two or more subfields or more into two, and rearranging scan sequence, and making it drive in the display unit which constitutes one frame from two or more subfields where phase contrast of brightness differs, and projected the multi-tone video signal. [0013]

[Function] The first frame shall be the level of 127 and, as for image level, the following frame should change to the level of 128. for example, SF8 -- two -- dividing -- brightness sequence -- SF 1, 3, and 5 and 8- by rearranging like 2, 7, 8-1, and 6, 4 and 2, the level of 127 in the 1st frame is quantized by 111010111, and the level of 128 in the 2nd frame is quantized by 000101000. Therefore, if it applies to 127-128 as shown in drawing 2, a display period and a non-display period are short time, and change 9 times by abbreviation regular intervals, and an image is displayed. A display period and a non-display period become sufficiently shorter than one frame, and false contour stops therefore, being almost conspicuous.

[0014]

[Example] Hereafter, the example of this invention is explained based on a drawing. Drawing 3 shows an example of a circuit which realizes the drive approach by this invention, the video-signal (RGB) input terminal 51 and the control signal input terminal 52 of the n-bit original pixels  $A_i$  and  $j$  are connected to the write-in control section 53, and this write-in control section 53 is connected to the frame memory 58 through the address control section 55 of the I/O-buffer section 54, and the data control section 56. Said control signal input terminal 52 and the external sub-address setting signal input terminal 67 are connected to the read-out control section 60, and the address decoder 61 in this read-out control section 60 is connected to the address control section 55, and the sub-address counter 62 is connected to the bit-select section 57 of said I/O-buffer section 54 through the sub-address decoder 63. Moreover, the bit-select section 57 connected to said data control section 56 and sub-address decoder 63 is connected to PDP10 through the address driver 65 and the address driver 66.

[0015] Said sub-address decoder 63 divides into some about the long subfield of the Sas Tin period the inside to SF1-SF8, and rearranges brightness ranking.

Example 1: divide longest SF8 of the Sas Tin period into two like drawing 1. At this time, by dividing into two, 64 and 64, address data are added to each and phase contrast 128 of the brightness of SF8 is set to SF 8-1 and SF 8-2. moreover, brightness sequence -- SF 1, 3, and 5 and 8- it rearranges like 2, 7, 8-1, and 6, 4 and 2.

[0016] Example 2: divide long SF7 into the 2nd for longest SF8 two by dividing into four. At this time, by dividing into four, 32, 32, 32, and 32, address data are added to each and phase contrast 128 of the brightness of SF8 is set to SF 8-1, SF 8-2, SF 8-3, and SF 8-4. Similarly, by dividing into two, 32 and 32, address data are added to each and phase contrast 64 of the brightness of SF7 is set to SF 7-1 and SF 7-2. moreover, brightness sequence -- SF 1 and 3 and 8- 3, 5, 7-1, and 8- 1, 6, 8-2, and 7- 2, 4, and 8- it rearranges like 4 and 2.

[0017] Although the brightness sequence in said example 1 and Example 2 should be set up fixed beforehand, it can consider the case where the signal set up at random is inputted with the external sub-address setting signal input terminal 67 using the table of random numbers of an external microcomputer etc.

[0018] Below, the general operation by the circuit shown in drawing 3 is explained first. While a digital video signal (RGB) inputs into the write-in control section 53 from an input terminal 51, a clock signal, a blanking signal, a perpendicular, and a Horizontal Synchronizing signal input into the write-in control section 53 and the read-out control section 60 from the control signal input terminal 52. Moreover, the write-in control section 53 makes the frame memory 58 which consists of a DRAM module carry out the write-in storage of the video-signal data from the data control section 56 according to the address signal which inputs the inputted video signal into the data control section 56, and is inputted from the address control section 55 while it outputs the address signal for writing and inputs it into the address control section 55 of the I/O-buffer section 54 with said control signal.

[0019] After the writing of the video-signal data for one frame is completed, based on the inputted control signal, the address decoder 61 of the read-out control section 60 outputs the address signal for

read-out, inputs it into the address control section 55, and inputs video-signal data into read-out and the data control section 56 from a frame memory 58. The sub-address counter 62 of the read-out control section 60 counts each period to SF1-SF8 in one frame, and he is trying to output a count signal, and it outputs it according to the sequence which rearranged and set up this count signal by the sub-address decoder 63.

[0020] The output from this sub-address decoder 63 has also inputted into the bit-select section 57 the video-signal data which inputted into the bit-select section 57 of the I/O-buffer section 54, and were read from the frame memory 58.

[0021] In the bit-select section 57, the bit of video-signal data is chosen and it inputs into the address driver 65 and the address driver 66, and based on the control signal from the control signal input terminal 52, an address signal is generated, it inputs into the address driver 65 and the address driver 66, and writing and a video signal are projected on a part for the address part of assignment of PDP10.

[0022] Below, the case of said example 1 is explained as the concrete drive approach of this invention. Here, the first frame shall be the level of 127 and, as for image level, the following frame should change to the level of 128. Example 1 -- SF8 -- two -- dividing -- brightness sequence -- SF 1, 3, and 5 and 8- since it rearranged into 2, 7, 8-1, and 6, 4 and 2, the level of 127 in the 1st frame is quantized by 111010111, and the level of 128 in the 2nd frame is quantized by 000101000. Therefore, if it applies to 127-128, a display period and a non-display period are short time, and change 9 times by abbreviation regular intervals, and an image is displayed. A display period and a non-display period become sufficiently shorter than one frame, and false coutour stops therefore, being almost conspicuous.

[0023] Below, the case of said example 2 of this invention is explained. Example 2 -- SF8 -- four -- dividing -- and SF7 -- two -- dividing -- and brightness sequence -- SF 1 and 3 and 8- 3, 5, 7-1, and 8- 1, 6, 8-2, and 7- 2, 4, and 8-, since it rearranged like 4 and 2 If level in the 1st frame is set to 127, it will quantize by 110110101101 and 128 in the 2nd frame will be quantized by 001001010010. Therefore, if it applies to 127-128, a display period and a non-display period are short time much more, and change 17 times by abbreviation regular intervals, and an image is displayed. A display period and a non-display period become still shorter than one frame, and false coutour stops therefore, being almost conspicuous.

[0024] Like said Example 1 and Example 2, rearrangement sequence is not restricted, when set up fixed beforehand, but it can rearrange periodically or it can also make the signal which controls the sequence of said sub-address decoder 63 the signal from the external sub-address setting signal input terminal 67 connected to the external microcomputer etc.

[0025]

[Effect of the Invention]

(1) Since this invention divides the subfield of arbitration or more into two, and rearranges scan sequence and it was made to drive it, a display period and a non-display period are repeated in the condition sufficiently shorter than one frame, and false coutour stops being conspicuous.

[0026] (2) longest SF8 of the Sas Tin period -- two -- dividing -- brightness sequence -- SF 1, 3, and 5 and 8- if it applies to the level of 128 in the 2nd frame from the level of 127 in the 1st frame by rearranging like 2, 7, 8-1, and 6, 4 and 2, a display period and a non-display period are short time, and change 9 times by abbreviation regular intervals, and an image is displayed. A display period and a non-display period become sufficiently shorter than one frame, and false coutour stops therefore, being almost conspicuous.

[0027] (3) longest SF8 of the Sas Tin period -- four -- dividing -- SF7 long to the 2nd -- two -- dividing -- and brightness sequence -- SF 1 and 3 and 8- 3, 5, 7-1, and 8- 1, 6, 8-2, and 7- 2, 4, and 8- by rearranging like 4 and 2 If the level in the 1st frame is applied to 128 of the 127 to 2nd frame, a display period and a non-display period are short time much more, and change 17 times by abbreviation regular intervals, and an image is displayed. A display period and a non-display period become still shorter than one frame, and false coutour stops therefore, being almost conspicuous.

[0028] (4) Rearrangement sequence is not restricted when set up fixed beforehand, but the periodicity of it is further lost by rearranging periodically or making the signal which controls the sequence of said

sub-address decoder 63 into the signal from the external sub-address setting signal input terminal 67 connected to the external microcomputer etc.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the explanatory view of subfield division showing one example of the drive approach of the display unit by this invention.

[Drawing 2] It is the explanatory view showing the example of a video-signal drive by this invention.

[Drawing 3] It is the block diagram showing one example of the display unit for realizing the drive approach by this invention.

[Drawing 4] It is the explanatory view showing the example of a video-signal drive by the conventional approach.

[Drawing 5] It is the perspective view of PDP used for the technique of 256 gradation.

[Drawing 6] It is the drive sequence and drive wave form chart in technique of 256 gradation.

[Description of Notations]

10 -- PDP (plasma display panel), 11 -- Surface glass substrate, 12 -- X Sas Tin electrode, 13 -- Y Sas Tin electrode, 14 -- Dielectric layer, 15 [ -- SUTORAIBU-like rib, ] -- A protective layer, 16 -- A rear-face glass substrate, 17 -- An address electrode, 18 19 -- R (red) fluophor, 20 -- G (green) fluophor, 21 -- B (blue) fluophor, 22 [ -- Perpendicular direction adder circuit, ] -- Discharge space, 23 -- A bus electrode, 30 -- A video-signal input terminal, 31 32 -- A horizontal adder circuit, 33 -- A bit conversion circuit, 34 -- Output terminal, 35 -- An error detector, a 36--h line delay circuit, a 37--d dot delay circuit, 38 [ -- Video-signal (RGB) input terminal, ] -- Memory, 40 -- An error load circuit, 41 -- An error load circuit, 51 52 -- A control signal input terminal, 53 -- A write-in control section, 54 -- I/O-buffer section, 55 -- An address control section, 56 -- The data control section, 57 -- Bit-select section, 58 [ -- A sub-address counter, 63 / -- A sub-address decoder, 65 / -- An address driver, 66 / -- An address driver, 67 / - External sub-address setting signal input terminal. ] -- A frame memory, 60 -- A read-out control section, 61 -- An address decoder, 62

---

[Translation done.]



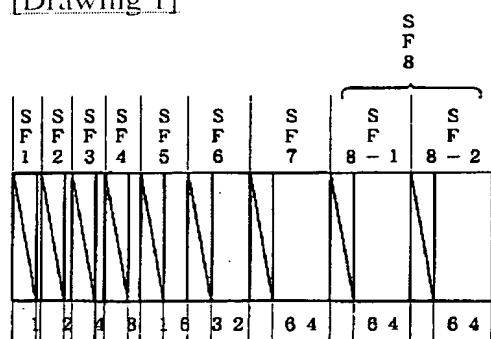
## \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

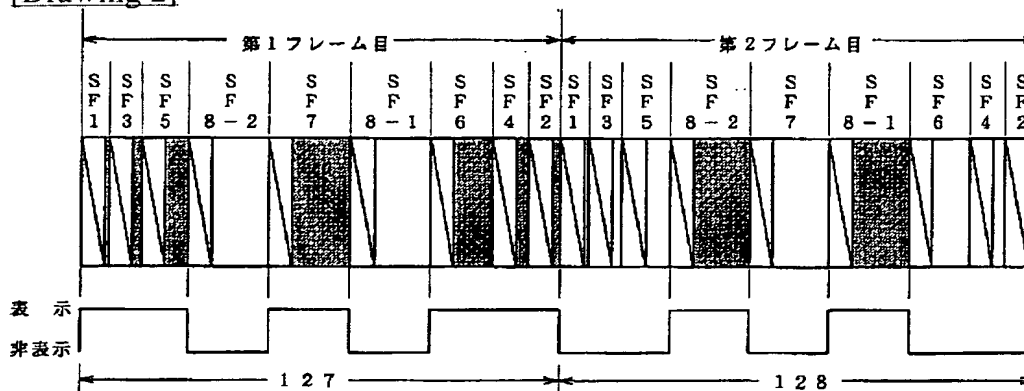
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

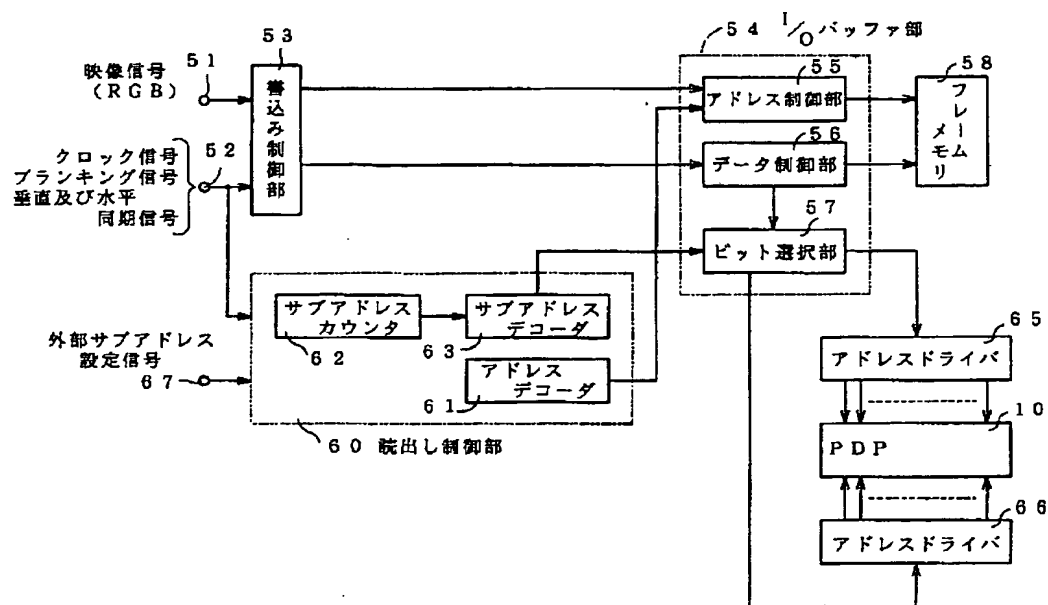
[Drawing 1]



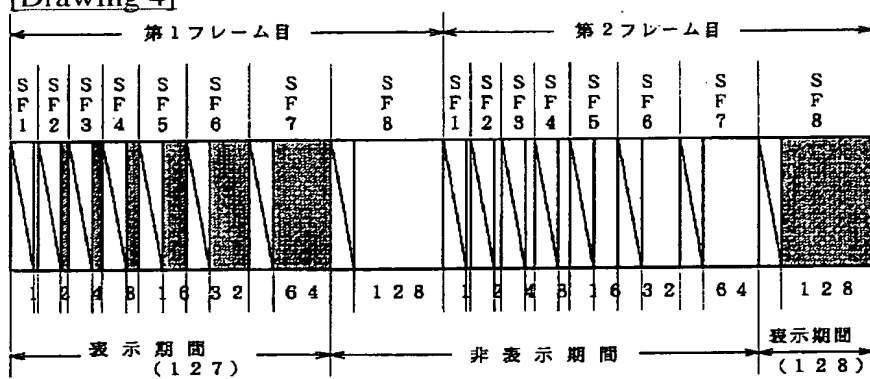
[Drawing 2]



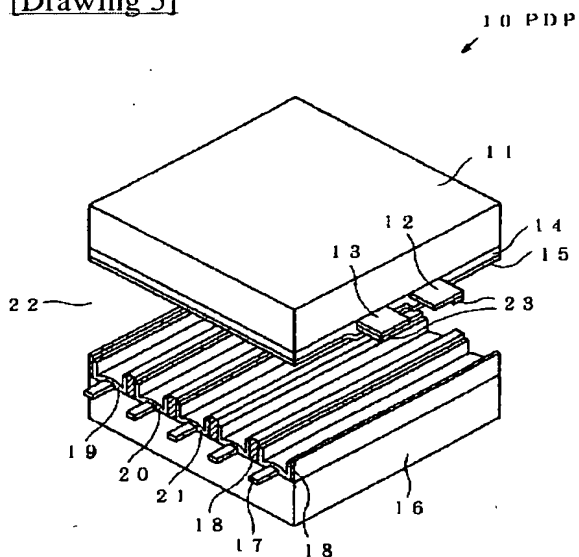
[Drawing 3]



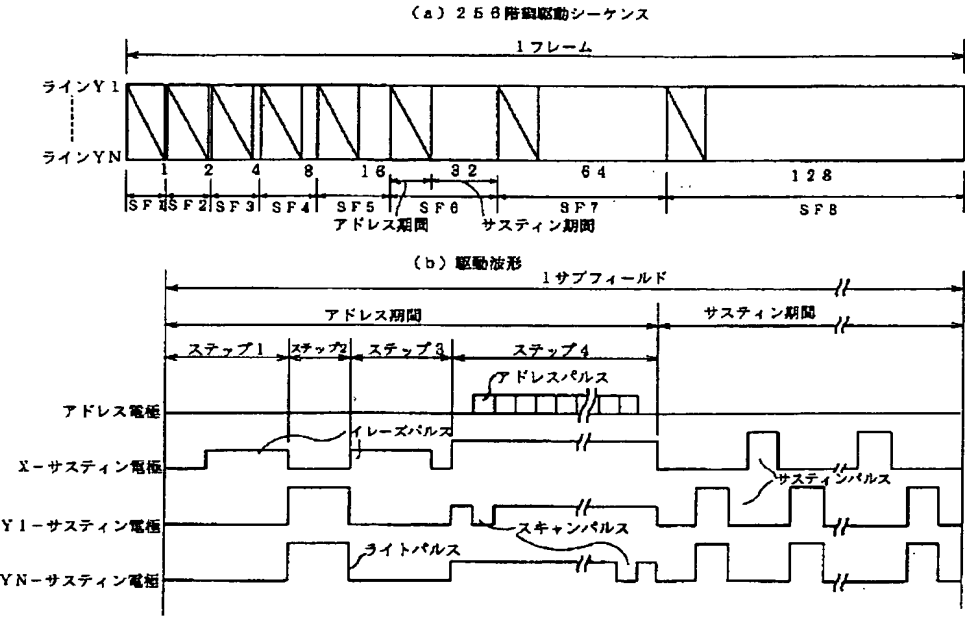
[Drawing 4]



[Drawing 5]



[Drawing 6]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-175439

(43) 公開日 平成7年(1995)7月14日

(51) IntCl.<sup>°</sup>

G 0 9 G 3/28

識別記号

庁内整理番号

F I

技術表示箇所

B 9378-5G

K 9378-5G

審査請求 未請求 請求項の数 4 F D (全 7 頁)

(21) 出願番号

特願平5-344394

(22) 出願日

平成5年(1993)12月17日

(71) 出願人 000006811

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72) 発明者 傳田 勇人

神奈川県川崎市高津区末長1116番地 株式  
会社富士通ゼネラル内

(72) 発明者 中島 正道

神奈川県川崎市高津区末長1116番地 株式  
会社富士通ゼネラル内

(72) 発明者 小野寺 純一

神奈川県川崎市高津区末長1116番地 株式  
会社富士通ゼネラル内

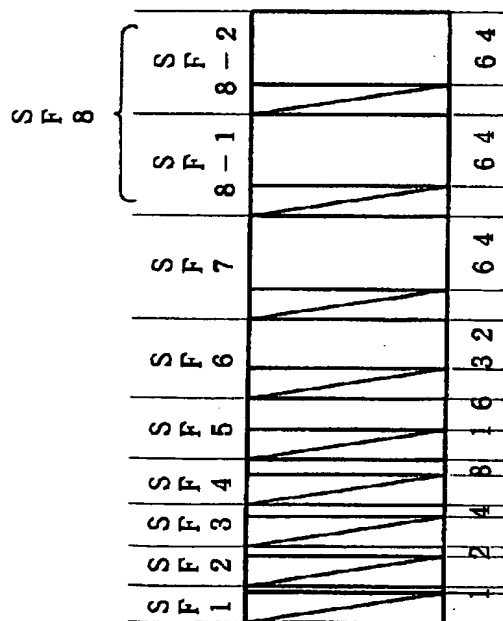
(74) 代理人 弁理士 古澤 俊明 (外1名)

(54) 【発明の名称】 ディスプレイ装置の駆動方法

(57) 【要約】

【目的】 任意のサブフィールドをいくつかに分割し、かつ1フレーム間のサブフィールドの輝度順序を並べ替えて非表示期間が長くならないようにして、偽輪郭の発生しないものを得ることを目的とする。

【構成】 輝度の相対比の異なる複数のサブフィールドで1フレームを構成して多階調の映像信号を映出するようにしたディスプレイ装置において、複数のサブフィールドのうちの任意のサブフィールドを2以上に分割し、かつ走査順序を並べ替えて駆動する。画像レベルは、127から128のレベルに変化したものとする。例えば、SF8を2つ(SF8-1、8-2)に分け、輝度順序を、SF1、3、5、8-2、7、8-1、6、4、2のように並べ替えることにより、第1フレーム目の127は、111010111で量子化され、第2フレーム目の128は、000101000で量子化される。したがって、表示期間と非表示期間が、短時間で、かつ略等間隔で9回切り替わって画像が表示され、非表示期間が1フレームよりも十分短くなり、偽輪郭がほとんど目立たなくなる。



## 【特許請求の範囲】

【請求項1】 輝度の相対比の異なる複数のサブフィールドで1フレームを構成して多階調の映像信号を映出するようにしたディスプレイ装置において、前記複数のサブフィールドのうちの任意のサブフィールドを2以上に分割し、かつ走査順序を並べ替えて駆動するようにしたことを特徴とするディスプレイ装置の駆動方法。

【請求項2】 外部サブアドレス設定信号によりサブフィールドの走査順序をフレーム単位でランダムに変化して駆動するようにしたことを特徴とする請求項1記載のディスプレイ装置の駆動方法。

【請求項3】 輝度の相対比の異なる第1サブフィールド(SF1)ないし第8サブフィールド(SF8)で1フレームを構成して多階調の映像信号を映出するようにしたディスプレイ装置において、前記複数のサブフィールドのうち、サステイン期間の最も長い第8サブフィールド(SF8)について2つ(SF8-1、8-2)に分割し、かつ走査順序をSF1、3、5、8-2、7、8-1、6、4、2に並べ替えて駆動するようにしたことを特徴とするディスプレイ装置の駆動方法。

【請求項4】 輝度の相対比の異なる第1サブフィールド(SF1)ないし第8サブフィールド(SF8)で1フレームを構成して多階調の映像信号を映出するようにしたディスプレイ装置において、前記複数のサブフィールドのうち、サステイン期間の最も長い第8サブフィールド(SF8)について4つ(SF8-1、8-2、8-3、8-4)に分割し、2番目に長い第7サブフィールド(SF7)について2つ(SF7-1、7-2)に分割し、かつ走査順序をSF1、3、8-3、5、7-1、8-1、6、8-2、7-2、4、8-4、2に並べ替えて駆動するようにしたことを特徴とするディスプレイ装置の駆動方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、輝度の相対比の異なる複数のサブフィールドで1フレームを構成して多階調の映像信号を映出するようにしたデジタル入力信号のディスプレイ装置の駆動方法に関するものである。

## 【0002】

【従来の技術】最近、薄型、軽量の表示装置として、PDP(プラズマ・ディスプレイ・パネル)が注目されている。このPDPの駆動方式は、従来のCRT駆動方式とは全く異なっており、デジタル化された映像入力信号による直接駆動方式である。したがって、パネル面から発光される輝度階調は、扱う信号のビット数によって定まる。PDPは基本的特性の異なるAC型とDC型の2方式に分けられるが、DC型PDPでは、すでに課題とされていた輝度と寿命について改善手法の報告があり、実用化へ向けて進展しつつある。

【0003】これに対し、AC型PDPでは、輝度と寿

命については十分な特性が得られているが、階調表示に関しては、試作レベルで最大64階調表示までの報告しかなかった。最近、アドレス・表示分離型駆動法(ADSサブフィールド法)による将来の256階調の手法が提案されている。このアドレス・表示分離型駆動法とは、nビットの入力データを1フレーム内でそれぞれのビットの重みの割合時間を一定輝度で点灯する方法である。この方法に使用されるPDP(プラズマ・ディスプレイ・パネル)10のパネル構造が図5に示され、駆動シーケンスと駆動波形が図6(a)(b)に示される。

【0004】図5において、表示面側の表面ガラス基板11の下面に、対になるXサステイン電極12、Yサステイン電極13を透明電極と補助電極で形成する。補助電極は、透明電極の抵抗による電圧降下を防ぐため、バス電極23を透明電極の一部に形成する。これらXサステイン電極12、Yサステイン電極13の上に誘電体層14を設け、その上に各セル間の結合を分離するためにストライプ状リブ18を形成する。さらに、MgO膜からなる保護層15を蒸着する。対向する裏面ガラス基板16上には、アドレス電極17を形成する。アドレス電極17間にストライプ上のストライプ状リブ18を設け、さらにアドレス電極17を被覆するようにしてR(赤)蛍光体19、G(緑)蛍光体20、B(青)蛍光体21を塗分けて形成する。放電空間22には、Ne+Xe混合ガスが封入される。

【0005】図6(a)において、1フレームは、輝度の相対比が1、2、4、8、16、32、64、128の8個のサブフィールドで構成され、8画面の輝度の組み合わせで256階調の表示を行う。図6(b)において、それぞれのサブフィールドは、リフレッシュした1画面分のデータの書込みを行うアドレス期間とそのサブフィールドの輝度レベルを決めるサステイン期間で構成される。アドレス期間では、最初全画面同時に各ピクセルに初期的に壁電荷が形成され、その後サステインパルスが全画面に与えられ表示を行う。サブフィールドの明るさはサステインパルスの数に比例し、所定の輝度に設定される。このようにして256階調表示が実現される。

【0006】以上のようなAC駆動方式では、階調数を増やせば増やすほど、1フレーム期間内でパネルを点灯発光させる準備期間としてのアドレス期間のビット数が増加するため、発光期間としてのサステイン期間が相対的に短くなり、最大輝度が低下する。このように、パネル面から発光される輝度階調は、扱う信号のビット数によって定まるため、扱う信号のビット数を増やせば、画質は向上するが、発光輝度が低下し、逆に扱う信号のビット数を減らせば、発光輝度が増加するが、階調表示が少なくなり、画質の低下を招く。

【0007】入力信号のビット数よりも出力駆動信号のビット数を低減しながら、入力信号と発光輝度との濃淡

誤差を最小にするための誤差拡散処理は、擬似中間調を表現する処理であり、少ない階調で濃淡表現する場合に用いられる。すなわち、従来の一般的な誤差拡散処理回路において、映像信号入力端子に、 $n$ （たとえば 8）ビットの原画素  $A_{i,j}$  の映像信号が入力し、垂直方向加算回路、水平方向加算回路を経て、さらにビット変換回路でビット数を  $m$ （たとえば 4）ビットに減らす処理をして PDP 駆動回路を経て PDP を発光する。

【0008】また、前記水平方向加算回路からの誤差拡散信号が、予め記憶されたデータと誤差検出回路にて比較されてその差をとって誤差荷重回路にて所定の係数を掛けて重み付けをし、誤差検出出力を、原画素  $A_{i,j}$  より  $h$  ライン前の画素、例えば 1 ラインだけ過去に生じた再現誤差  $E_{j-1}$  を出力する  $h$  ライン遅延回路を介して前記垂直方向加算回路に加算されるとともに、原画素  $A_{i,j}$  より  $d$  ドット前の画素、例えば 1 ドットだけ過去に生じた再現誤差  $E_{i-1}$  を出力する  $d$  ドット遅延回路を介して前記水平方向加算回路に加算される。なお、前記誤差荷重回路での係数は一般的に全ての和が 1 になるように設定する。

【0009】この結果、ビット変換回路の出力端子には、瞬間的には階段状のような 4 ビットで表わされる発光輝度レベルが出力されるにも拘らず、実際は、階段状の上下の発光輝度レベルが所定の割合で交互に出力されるので、平均化された状態で認識され、略  $y = x$  の補正輝度線となる。

【0010】

【発明が解決しようとする課題】しかるに、例えば、画像の左側が暗く、右側が明るい画像が緩やかに左に動く場合、画面の一部分において、画像レベルは、最初のフレームが 127 のレベルで、つぎのフレームが 128 のレベルに変化したものとする。サブフレームの走査は、図 4 に示すように、輝度順に SF1 から SF8 までを走査するようにしており、画像信号として 8 ビットが用いられているとすると、127 のレベルは 11111110 で量子化され、128 のレベルは 00000001 で量子化される。したがって、127～128 にかけては、SF1～SF7 までが表示期間、SF8 および SF1～SF7 までが非表示期間、SF8 が表示期間となって画像が表示される。このような動画像を表示する場合、非表示期間が 1 フレームと同一期間という比較的长度になるため、この非表示期間が黒い線となって画像に現れ、これが偽輪郭となってあらわれるという問題があった。

【0011】本発明は、任意のサブフィールドをいくつかに分割し、かつ 1 フレーム間のサブフィールドの輝度順序を並べ替えて非表示期間が長くないようにして、偽輪郭の発生しないものを得ることを目的とする。

【0012】

【課題を解決するための手段】本発明は、輝度の相対比

の異なる複数のサブフィールドで 1 フレームを構成して多階調の映像信号を映出するようにしたディスプレイ装置において、前記複数のサブフィールドのうちの任意のサブフィールドを 2 以上に分割し、かつ走査順序を並べ替えて駆動するようにしたことを特徴とするディスプレイ装置の駆動方法である。

【0013】

【作用】画像レベルは、最初のフレームが 127 のレベルで、つぎのフレームが 128 のレベルに変化したものとする。例えば、SF8 を 2 つに分け、輝度順序を、SF1、3、5、8-2、7、8-1、6、4、2 のように並べ替えることにより、第 1 フレーム目における 127 のレベルは、111010111 で量子化され、第 2 フレーム目における 128 のレベルは、000101000 で量子化される。したがって、図 2 に示すように、127～128 にかけては、表示期間と非表示期間が、短時間で、かつ略等間隔で 9 回切り替わって画像が表示される。したがって、表示期間と非表示期間が 1 フレームよりも十分短くなり、偽輪郭がほとんど目立たなくなる。

【0014】

【実施例】以下、本発明の実施例を図面に基づき説明する。図 3 は、本発明による駆動方法を実現する回路の一例を示すもので、 $n$  ビットの原画素  $A_{i,j}$  の映像信号 (RGB) 入力端子 51 と制御信号入力端子 52 は、書込み制御部 53 に接続され、この書込み制御部 53 は、I/O バッファ部 54 のアドレス制御部 55 とデータ制御部 56 を介してフレームメモリ 58 に接続されている。前記制御信号入力端子 52 と外部サブアドレス設定信号入力端子 67 は、読出し制御部 60 に接続され、この読出し制御部 60 の中のアドレスデコーダ 61 は、アドレス制御部 55 に接続され、また、サブアドレスカウンタ 62 は、サブアドレスデコーダ 63 を介して前記 I/O バッファ部 54 のビット選択部 57 に接続されている。また、前記データ制御部 56 とサブアドレスデコーダ 63 に接続されたビット選択部 57 は、アドレスドライバ 65 とアドレスドライバ 66 を介して PDP10 に接続されている。

【0015】前記サブアドレスデコーダ 63 は、SF1～SF8 までのうち、サスティン期間の長いサブフィールドについていくつかに分割し、かつ輝度順位を並べ替える。

例 1：サスティン期間の最も長い SF8 を図 1 のように 2 つに分ける。このとき、SF8 の輝度の相対比 128 を、64 と 64 の 2 つに分け、それぞれにアドレスデータを付加し、SF8-1 と SF8-2 にする。また、輝度順序を、SF1、3、5、8-2、7、8-1、6、4、2 のように並べ替える。

【0016】例 2：最も長い SF8 を 4 つに分け、2 番目に長い SF7 を 2 つに分ける。このとき、SF8 の輝

度の相対比128を、32、32、32、32の4つに分け、それぞれにアドレスデータを付加し、SF8-1、SF8-2、SF8-3、SF8-4にする。同様に、SF7の輝度の相対比64を、32、32の2つに分け、それぞれにアドレスデータを付加し、SF7-1、SF7-2にする。また、輝度順序を、SF1、3、8-3、5、7-1、8-1、6、8-2、7-2、4、8-4、2のように並べ替える。

【0017】前記例1、例2における輝度順序は、予め固定的に設定したものとしてできるが、その他に外部サブアドレス設定信号入力端子67により、外部のマイコンの乱数表などを用いて、ランダムに設定した信号を入力する場合が考えられる。

【0018】つぎに、図3に示した回路による一般的な作用をまず説明する。ディジタル映像信号(RGB)が、入力端子51から書込み制御部53に入力するとともに、クロック信号、ブランキング信号、垂直および水平同期信号が制御信号入力端子52から書込み制御部53と読出し制御部60に入力する。また、書込み制御部53は、前記制御信号により、書込み用のアドレス信号を出力し、I/Oバッファ部54のアドレス制御部55に入力するとともに、入力された映像信号をデータ制御部56に入力し、アドレス制御部55から入力されるアドレス信号に従って、データ制御部56からの映像信号データをDRAMモジュールからなるフレームメモリ58に書込み記憶させる。

【0019】1フレーム分の映像信号データの書込みが終了すると、読出し制御部60のアドレスデコーダ61は入力された制御信号に基づいて、読出し用のアドレス信号を出力し、アドレス制御部55に入力して、フレームメモリ58から映像信号データを読出し、データ制御部56に入力する。読出し制御部60のサブアドレスカウンタ62は、1フレーム中のSF1～SF8までの各期間をカウントしてカウント信号を出力するようにしており、同カウント信号をサブアドレスデコーダ63で並べ替えして設定した順番に従い出力する。

【0020】このサブアドレスデコーダ63からの出力はI/Oバッファ部54のビット選択部57に入力し、また、フレームメモリ58から読出された映像信号データもビット選択部57に入力している。

【0021】ビット選択部57では、映像信号データのビットを選択してアドレスドライバ65とアドレスドライバ66に入力し、また、制御信号入力端子52からの制御信号に基づき、アドレス信号を発生させてアドレスドライバ65とアドレスドライバ66に入力し、PDP10の指定のアドレス部分に書込み、映像信号を映し出す。

【0022】つぎに、本発明の具体的駆動方法として前記例1の場合を説明する。ここで、画像レベルは、最初のフレームが127のレベルで、つぎのフレームが12

8のレベルに変化したものとする。例1では、SF8を2つに分け、輝度順序を、SF1、3、5、8-2、7、8-1、6、4、2に並べ替えたので、第1フレーム目における127のレベルは、111010111で量子化され、第2フレーム目における128のレベルは、000101000で量子化される。したがって、127～128にかけては、表示期間と非表示期間が、短時間で、かつ略等間隔で9回切り替わって画像が表示される。したがって、表示期間と非表示期間が1フレームよりも十分短くなり、偽輪郭がほとんど目立たなくなる。

【0023】つぎに、本発明の前記例2の場合を説明する。例2では、SF8を4つに分け、かつSF7を2つに分け、かつ、輝度順序を、SF1、3、8-3、5、7-1、8-1、6、8-2、7-2、4、8-4、2のように並べ替えたので、第1フレーム目におけるレベルを127とすると、110110101101で量子化され、また第2フレーム目における128は、001001010010で量子化される。したがって、127～128にかけては、表示期間と非表示期間が、より一層短時間で、かつ略等間隔で17回切り替わって画像が表示される。したがって、表示期間と非表示期間が1フレームよりもさらに短くなり、偽輪郭がほとんど目立たなくなる。

【0024】並べ替え順番は、前記例1と例2のように、予め固定的に設定された場合に限られず、周期的に並べ替えたり、前記サブアドレスデコーダ63の順番を制御する信号を、外部のマイコンなどに接続された外部サブアドレス設定信号入力端子67からの信号とすることもできる。

#### 【0025】

##### 【発明の効果】

(1) 本発明は、任意のサブフィールドを2以上に分割し、かつ走査順序を並べ替えて駆動するようにしたため、表示期間と非表示期間が1フレームよりも十分短い状態で繰り返され、偽輪郭が目立たなくなる。

【0026】(2) サスティン期間の最も長いSF8を2つに分け、輝度順序を、SF1、3、5、8-2、7、8-1、6、4、2のように並べ替えることにより、第1フレーム目における127のレベルから第2フレーム目における128のレベルにかけては、表示期間と非表示期間が、短時間で、かつ略等間隔で9回切り替わって画像が表示される。したがって、表示期間と非表示期間が1フレームよりも十分短くなり、偽輪郭がほとんど目立たなくなる。

【0027】(3) サスティン期間の最も長いSF8を4つに分け、第2に長いSF7を2つに分け、かつ、輝度順序を、SF1、3、8-3、5、7-1、8-1、6、8-2、7-2、4、8-4、2のように並べ替えることにより、第1フレーム目におけるレベルを127

から第2フレーム目の128にかけては、表示期間と非表示期間が、より一層短時間で、かつ略等間隔で17回切り替わって画像が表示される。したがって、表示期間と非表示期間が1フレームよりもさらに短くなり、偽輪郭がほとんど目立たなくなる。

【0028】(4) 並べ替え順番は、予め固定的に設定された場合に限られず、周期的に並べ替えたり、前記サブアドレスデコーダ63の順番を制御する信号を、外部のマイコンなどに接続された外部サブアドレス設定信号入力端子67からの信号とすることにより、より一層周期性がなくなる。

【図面の簡単な説明】

【図1】本発明によるディスプレイ装置の駆動方法の一実施例を示すサブフィールド分割の説明図である。

【図2】本発明による映像信号駆動例を示す説明図である。

【図3】本発明による駆動方法を実現するためのディスプレイ装置の一実施例を示すブロック図である。

【図4】従来方法による映像信号駆動例を示す説明図である。

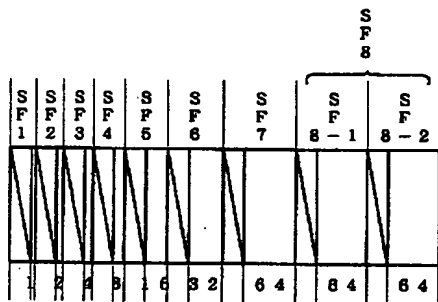
【図5】256階調の手法に使用されるPDPの斜視図である。

【図6】256階調の手法における駆動シーケンスと駆動波形図である。

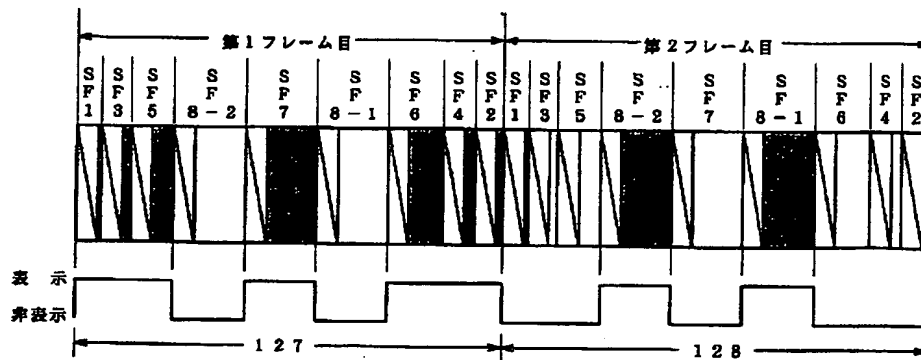
【符号の説明】

- 10…PDP (プラズマ・ディスプレイ・パネル)、11…表面ガラス基板、12…Xサスティン電極、13…Yサスティン電極、14…誘電体層、15…保護層、16…裏面ガラス基板、17…アドレス電極、18…ストライプ状リブ、19…R (赤) 蛍光体、20…G (緑) 蛍光体、21…B (青) 蛍光体、22…放電空間、23…バス電極、30…映像信号入力端子、31…垂直方向加算回路、32…水平方向加算回路、33…ビット変換回路、34…出力端子、35…誤差検出回路、36…hライン遅延回路、37…dドット遅延回路、38…メモリ、40…誤差荷重回路、41…誤差荷重回路、51…映像信号 (RGB) 入力端子、52…制御信号入力端子、53…書き込み制御部、54…I/Oバッファ部、55…アドレス制御部、56…データ制御部、57…ビット選択部、58…フレームメモリ、60…読出し制御部、61…アドレスデコーダ、62…サブアドレスカウンタ、63…サブアドレスデコーダ、65…アドレスドライバ、66…アドレスドライバ、67…外部サブアドレス設定信号入力端子。

【図1】

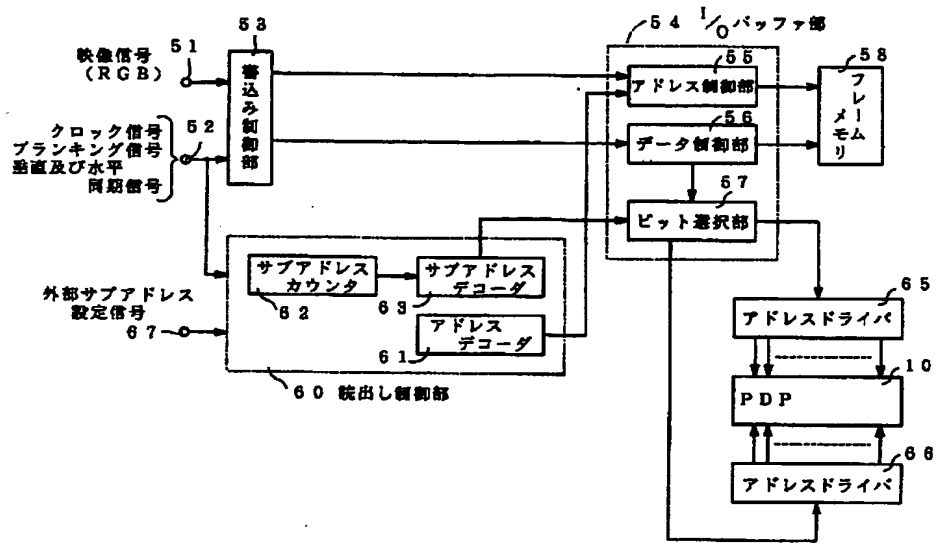


【図2】

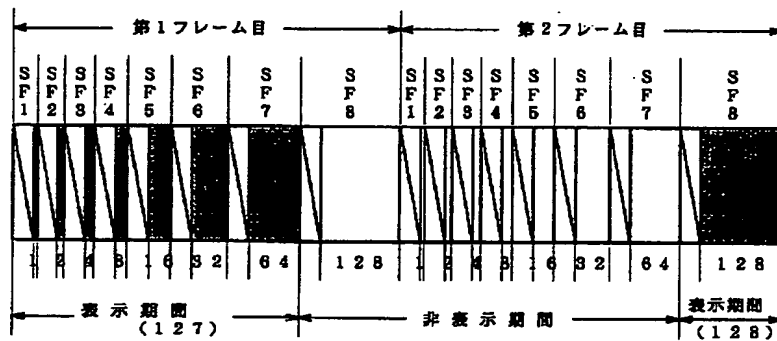




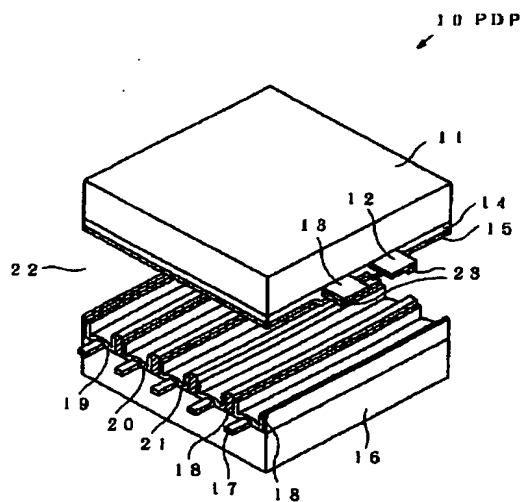
【図3】



【図4】



【図5】



【図6】

